

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 06021468
PUBLICATION DATE : 28-01-94

APPLICATION DATE : 29-06-92
APPLICATION NUMBER : 04194917

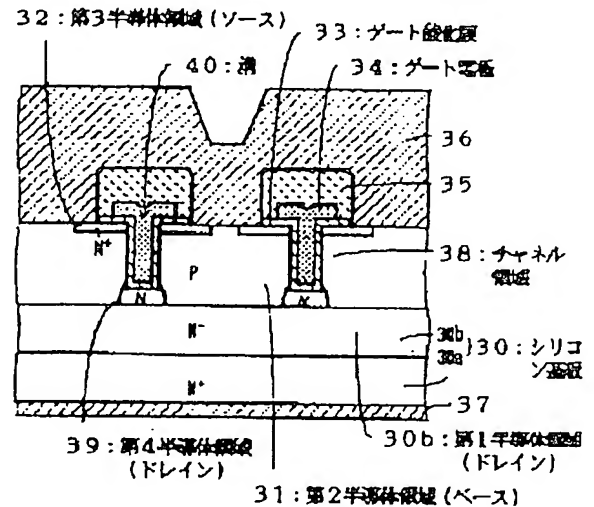
APPLICANT : TOSHIBA CORP;

INVENTOR : SUZUKI KAZUAKI;

INT.CL. : H01L 29/784

TITLE : INSULATED GATE SEMICONDUCTOR
DEVICE

BEST AVAILABLE COPY



ABSTRACT : PURPOSE: To provide an insulating gate semiconductor device in which electric field concentration at a trench bottom is eliminated and withstand voltage between a drain and a source is substantially the same as that of a prior art double diffusion type longitudinal MOS FET, by terminating a trench in which a gate electrode is buried into a base region of substantially the same potential as that of the gate electrode.

CONSTITUTION: A silicon substrate 30 comprises an N⁺ silicon substrate 30a deposited on the former. There are provided a P base region 31 having a bottom which has a flat junction on a main surface thereof with the N- epitaxial layer 30b and having a top which is exposed to a main surface of the substrate 30, and an N⁺ source region 32 which is formed selectively on a surface layer of the P base region 31. There is further provided a trench 40 which is dug from the surface of the N⁺ source region 32 in the thickness direction of the substrate 30 and penetrates the N⁺ source region 32 and reaches the inside of the P base region 31. There are additionally provided a polysilicon electrode 34 buried in the trench 40 facing the inner surface of the same through a gate oxide film 33, and an N drain region 39 extending from the bottom of the trench 40 to the epitaxial layer 30b.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-21468

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784		9168-4M	H 0 1 L 29/78	3 2 1 V
		9168-4M		3 2 1 H

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-194917
 (22)出願日 平成4年(1992)6月29日

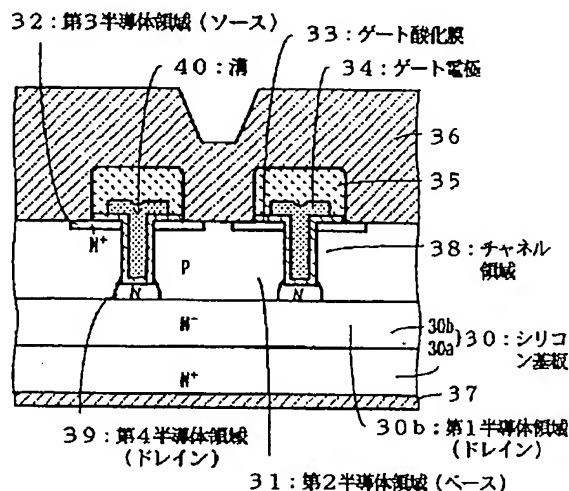
(71)出願人 000003078
 株式会社東芝
 神奈川県川崎市幸区堀川町72番地
 (72)発明者 鈴木 一昭
 神奈川県川崎市幸区小向東芝町1 株式会
 社東芝多摩川工場内
 (74)代理人 弁理士 諸田 英二

(54)【発明の名称】 絶縁ゲート型半導体装置

(57)【要約】

【目的】半導体基板の表面層に形成されたN⁺ ソース領域の表面から縦方向に該領域およびPベース領域を貫通しNドレイン領域内に止まる溝を掘り、溝の側壁に沿ってチャネルを形成する従来のトレンチ型縦型MOSFETは、ベース領域とソース領域の横方向の拡散差で基板主面に沿ったチャネルを形成する二重拡散型縦型MOSFETに比較して高集積性を有するが、ドレイン耐圧が劣るという課題がある。

【構成】従来のトレンチ型縦型MOSFETは、ゲート電極を埋めこんだ溝を高電位のNドレイン領域内に終端させたため溝の底部に電界が集中し耐圧を劣化させたが、本発明では、溝を低電位のPベース領域内に終端するようにし、溝の底部と直下のNドレイン領域とをつなぐN領域を設ける構造とし課題を解決した。



(2)

特開平6-21468

1

【特許請求の範囲】

【請求項1】半導体基板に形成される一導電型の第1半導体領域と、第1半導体領域に接続すると共に前記基板の一方の主表面に露出する反対導電型の第2半導体領域と、第2半導体領域の前記主表面から選択的に拡散形成される一導電型の第3半導体領域と、第3半導体領域の表面から前記基板の厚さ方向に向かって掘られ第3半導体領域を貫き第2半導体領域内で止まる溝と、絶縁膜を介して前記溝の内面に対向して埋め込まれたゲート電極と、前記溝の底部から直下の第1半導体領域につながる一導電型の第4半導体領域とを具備することを特徴とする絶縁ゲート型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、縦型MOSFETやIGBT等の絶縁ゲート型半導体装置に関するもので、特に基板に掘られた溝の側壁に沿った縦方向にチャンネルを形成するMOS構造を有する半導体装置に使用されるものである。

【0002】

【従来の技術】主電流が半導体チップの厚さ方向に流れる縦型MOSFETの構造として、現在は二重拡散型が一般的である。

【0003】図5は、このようなNチャンネル二重拡散型縦型MOSFETの従来例の断面図である。同図において、半導体基板10は、N⁺シリコン基板10aおよびN⁻エピタキシャル層10bから成り、このMOSFETのドレイン領域を形成する。基板10の主表面に熱酸化膜を形成し、その上にポリシリコン膜を堆積した後、パターニングしてゲート酸化膜13およびポリシリコンゲート電極14をそれぞれ形成する。次にゲート電極14をマスクとして、P型およびN型の不純物をそれぞれ拡散してPベース領域11およびN⁺ソース領域12を形成する。チャンネル領域18はPベース領域11の表面近傍に形成されるが、チャンネル長が領域11および12の横方向の拡散距離の差によって決められることが特徴となっている。符号15は層間絶縁膜、符号16および17はそれぞれソース電極膜およびドレイン電極膜である。

【0004】このような構造、すなわちチャンネル領域18が基板表面の横方向に形成される構造では、集積度を上げるためゲート電極14の幅L_gを縮めるには限界が生じる。

【0005】そこでチップの厚さ方向にチャンネルを形成するようにしたのが図6に示すトレンチ型縦型MOSFETである。同図においてシリコン基板10へ、Pベース領域21およびN⁺ソース領域22を拡散形成した後、N⁺ソース領域22の表面から該領域22およびPベース領域21を貫き、N⁻エピタキシャル層10bに達する溝を形成する。溝の内面には、ゲート酸化膜23

2

が形成され、ポリシリコンゲート電極24で埋められる。この構造ではチャンネル領域28は、溝の側壁に沿って縦方向に形成される。シリコン基板10は、このMOSFETのドレイン領域となる。

【0006】このような構造ではチャンネル領域が縦方向に形成されるため、図5に示す二重拡散型縦型MOSFETのL_gに対しチャンネル形成に必要なチップの横幅は大幅に縮小することが可能で、チップ表面の単位面積当たりのチャンネル幅を増加することができる。

10 【0007】このようにトレンチ型縦型MOSFETは高集積化が可能な構造であるが、欠点としてドレイン・ソース間の耐圧が、図5に示す二重拡散型縦型MOSFETほど得られないという問題が生じた。

【0008】

【発明が解決しようとする課題】これまで述べたように、図6に示すトレンチ型縦型MOSFETは、図5に示す二重拡散型縦型MOSFETに比較して、高集積化が可能な構造であるが、ドレイン・ソース間の耐圧がそれほど得られない。なお上記トレンチ型縦型MOSFETとほぼ等しいMOS構造を有するIGBT等の半導体装置においても同様の課題がある。

20 【0009】本発明の目的は、前記トレンチ型縦型MOS構造の半導体装置の高集積性を有するとともに、さらに図5に例示した二重拡散型縦型MOSFETとほぼ同程度の高耐圧特性を有する絶縁ゲート型半導体装置を提供することである。

【0010】

【課題を解決するための手段】本発明の絶縁ゲート型半導体装置は、半導体基板（図1で使用する名称、シリコン基板30）に形成される一導電型の第1半導体領域（N⁻ドレイン領域30b）と、第1半導体領域に接続するとともに前記基板の一方の主表面に露出する反対導電型の第2半導体領域（Pベース領域31）と、第2半導体領域の前記主表面から選択的に拡散形成される一導電型の第3半導体領域（N⁺ソース領域32）と、第3半導体領域の表面から前記基板の厚さ方向に向かって掘られ第3半導体領域を貫き第2半導体領域内で止まる溝と、絶縁膜（ゲート酸化膜33）を介して前記溝の内面に対向して埋め込まれたゲート電極（ポリシリコンゲート電極34）と、前記溝の底部から直下の第1半導体領域につながる一導電型の第4半導体領域（Nドレイン領域39）とを具備することを特徴とするものである。

【0011】

【作用】一般にMOSFETのドレイン・ソース間の耐圧は、ソース電極、ゲート電極およびベース領域を同一電位（OV）としたピンチオフ状態で、ドレイン電極に正または負の高電圧を印加したときの耐電圧であらわす。前述の従来のトレンチ型縦型MOSFET（図6）が二重拡散型縦型MOSFET（図5）ほどのドレイン・ソース間耐圧が得られない原因は、溝の底部に電界が

(3)

特開平6-21468

3

集中するためと考えられ、高耐圧素子を実現するためには、溝の底部の電界を緩和する構造が必要である。

【0012】本発明においては、ゲート電極を埋めこんだ溝を、これとほぼ同電位のベース領域内に終端するようにした。このためバイアス印加時の第2半導体領域と第1半導体領域とのPN接合により形成される空乏層の形状は、よりなだらかとなり、溝底部の電界集中がなくなり、ドレイン・ソース間の耐圧を従来の二重拡散型縦型MOSFETにはほぼ等しくすることができる。

【0013】

【実施例】本発明の絶縁ゲート型半導体装置の実施例として、Nチャネルトレンチ型縦型MOSFETを取り上げ、図面を参照して以下説明する。

【0014】図1は、該MOSFETの断面図である。シリコン基板30は、N⁺シリコン基体30aと、その上に堆積されたN⁻エピタキシャル層（第1半導体領域）30bとから成る。該MOSFETは、(a) N⁻エピタキシャル層（第1半導体領域）30bと、(b) この実施例の特徴であるが、底部がN⁻エピタキシャル層30bと平坦な接合を形成するとともに頂部が基板30の主表面に露出するPベース領域（第2半導体領域）31と、(c) Pベース領域31の表面層に選択的に形成されるN⁺ソース領域（第3半導体領域）32と、(d) N⁺ソース領域32の表面から基板30の厚さ方向に向かって掘られ、N⁺ソース領域32を貫きPベース領域31内で止まる溝40と、(e) ゲート酸化膜33を介し溝40の内面に対向して埋め込まれるポリシリコンから成るゲート電極34と、(f) 溝40の底部から直下のN⁻エピタキシャル層30bにつながるNドレイン領域（第4半導体領域）39を具備することを特徴としている。上記構成でチャネル領域38は溝40の側壁に沿って基板の厚さ方向に形成され、またN⁻エピタキシャル層30bおよびN⁺シリコン基体30aはNドレイン領域39とともに、このMOSFETのドレイン領域を形成する。なお符号35は層間絶縁膜、符号36および37はそれぞれソース電極膜およびドレイン電極膜である。

【0015】次に上記MOSFETの製造方法の概要について説明する。図2に示すように、N⁺シリコン基体30aおよびN⁻エピタキシャル層30bから成るシリコン基板30を準備し、N⁻エピタキシャル層30bの表面から不純物を拡散してPベース領域31を形成し、次に酸化膜41をマスクとしてN⁺ソース領域32を選択拡散により形成する。

【0016】次に図3に示すように酸化膜41を除去した後、マスク42を用い、RIE法により溝（トレンチとも呼ぶ）40を形成する。この際、従来はPベース領域31を貫いていた溝は、本発明ではPベース領域31内で止める。

【0017】次に図4に示すように、溝40の底面より

4

イオン注入法により不純物を注入、拡散してN⁻エピタキシャル層30bにつながるNドレイン領域39を形成する。なおNドレイン領域39の不純物濃度は、N⁻エピタキシャル層30bの不純物濃度より高くすることが、オン抵抗を低減する点から望ましい実施態様である。その後、図1に示すように、従来のトレンチ型縦型MOSFETと同じようにゲート酸化膜33、ポリシリコンゲート電極34を形成し、最後に表面にAl等の金属を蒸着し、パターニングしてソース電極膜36、ドレイン電極膜37を形成し、図1に示すNチャネルトレンチ型縦型MOSFETが得られる。

【0018】上記MOSFETはトレンチ型のMOSFET構造を持っているので、従来の例えば図6に示すトレンチ型縦型MOSFETと同様の高集積性を有する。さらに上記MOSFETでは、溝が、電位がソース電位に等しいベース領域内に形成されるので、例えば図5に示す一般的な二重拡散型縦型MOSFETとはほぼ同程度のドレイン・ソース間の耐圧を得ることが可能となる。

【0019】また一般にMOSFETのg_m等の特性改善には、短チャネル化が不可欠であるが、本発明はこの点においても有利な構造となっている。すなわち図5に示すMOSFETでは、チャネル領域18の長さは、Pベース領域11とN⁺ソース領域12との横方向の二重拡散で形成される。また図6に示すトレンチ型縦型MOSFETでは、チャネル領域28の長さは、Pベース領域21とN⁺ソース領域22との縦方向（基板の厚さ方向と同じ）の二重拡散で形成される。横方向への拡散は、縦方向に対し約8割程度であり、同じPベース領域の深さを持つ図5に示す一般的な従来のMOSFETと図6に示す従来のトレンチ型縦型MOSFETとでは、当然トレンチ型のほうがチャネル長が長くなる。図1に示す本発明のMOSFETにおいては、チャネル領域38の長さは、Pベース領域31とN⁺ソース領域32によらず、溝40の深さによって決定されるため、短チャネル化が容易に実現できる。

【0020】前記実施例においては、Nチャネル型MOSFETについて述べたが、一導電型をP型、反対導電型をN型とするPチャネル型MOSFETに対しても、本発明を適用することができるのはもちろんである。

【0021】また図1の構成で、Nドレイン領域とドレイン電極膜との間にPコレクタ領域を付加して構成されるIGBTに対しても本発明を適用することができる。

【0022】

【発明の効果】これまで述べたように、本発明により、従来のトレンチ型縦型MOS構造の半導体装置と同様の高集積性を有するとともに、さらに図5に例示した二重拡散型縦型MOSFETとはほぼ同程度の高耐圧特性を有する絶縁ゲート型半導体装置を提供することができた。

【図面の簡単な説明】

【図1】本発明の絶縁ゲート型半導体装置の実施例であ

(4)

特開平6-21468

5

るNチャネルトレンチ型縦型MOSFETの断面図である。

【図2】図1に示すMOSFETの製造工程を示す断面図である。

【図3】図2に示す工程に続く製造工程を示す断面図である。

【図4】図3に示す工程に続く製造工程を示す断面図である。

【図5】従来のNチャネル二重拡散型縦型MOSFETの断面図である。

【図6】従来のNチャネルトレンチ型縦型MOSFETの断面図である。

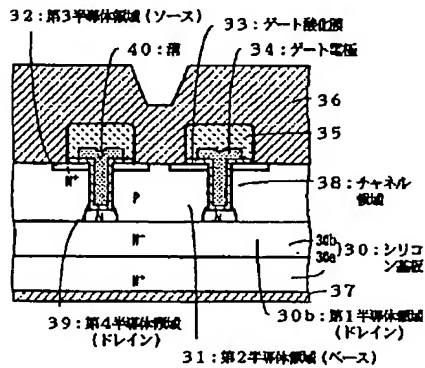
【符号の説明】

10, 30 シリコン基板
10a, 30a N⁺ シリコン基体

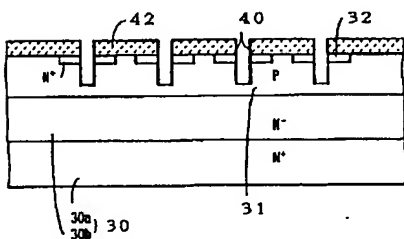
6

10b, 30b 第1半導体領域 (N⁻ エピタキシャル領域)
11, 21, 31 第2半導体領域 (Pベース領域)
12, 22, 32 第3半導体領域 (N⁺ ソース領域)
13, 23, 33 絶縁膜 (ゲート酸化膜)
14, 24, 34 ゲート電極
15, 25, 35 層間絶縁膜
16, 26, 36 ソース電極膜
17, 27, 37 ドレイン電極膜
18, 28, 38 チャンネル領域
39 第4半導体領域 (Nドレイン領域)
40 溝

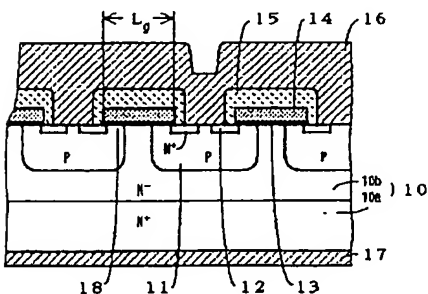
【図1】



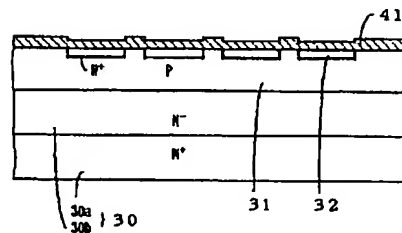
【図3】



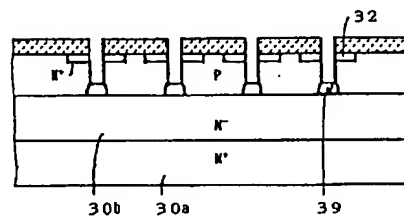
【図5】



【図2】



【図4】



【図6】

